

MANUFACTURE OF DEVICE HAVING OPTICAL ELEMENT

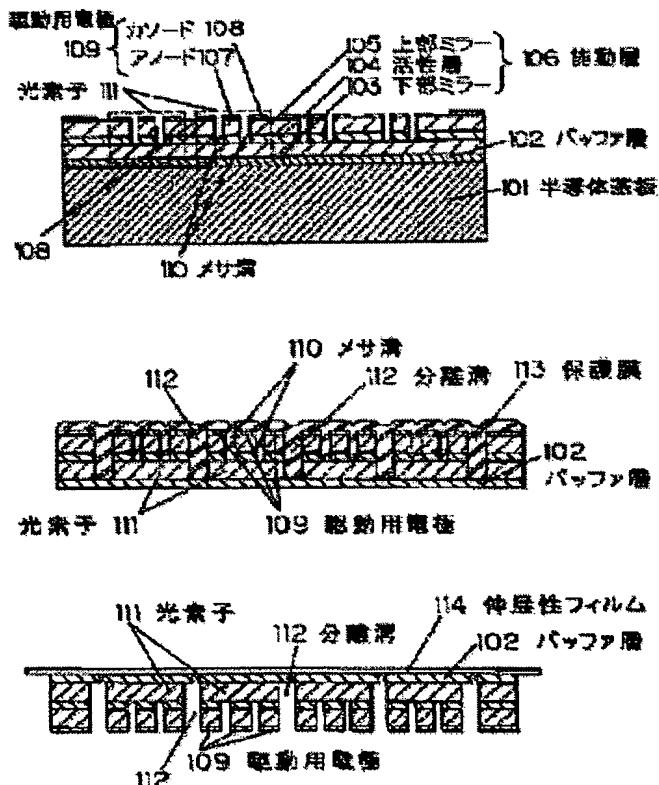
Patent number: JP7030209
Publication date: 1995-01-31
Inventor: MATSUDA KENICHI
Applicant: MATSUSHITA ELECTRIC IND CO LTD
Classification:
- International: H01L21/301; H01L33/00; H01S5/00; H01S5/022; H01S5/042;
H01S5/02; H01S5/42; H01L21/02; H01L33/00; H01S5/00;
(IPC1-7): H01S3/18; H01L21/301; H01L33/00
- european:
Application number: JP19930174073 19930714
Priority number(s): JP19930174073 19930714

[Report a data error here](#)

Abstract of JP7030209

PURPOSE: To grow a buffer layer between an active layer and a semiconductor substrate and flip-chip bond an optical element chip on an electronic circuit board with the buffer layer.

CONSTITUTION: A buffer layer 102, a bottom mirror 103, an active layer 104 and a top mirror 105 are grown on a semiconductor substrate 101 so as to constitute an active layer 106. On the surface of the top mirror 105, driving electrodes 109 for an anode 107 and a cathode 108 are deposited, and the top mirror 105 and the active layer 104 are etched to form a mesa groove 110. Then, the driving electrodes 109 and the active layer 106 are permitted to form an optical element 111, and a separating groove 112 is formed by etching the active layer 106 to the buffer layer 102. The surface of the active layer 106 is covered with a protecting film 113 and the semiconductor substrate 101 is removed. The back side of the buffer layer 102 is bonded to an extensible film 114 with peelable adhesive and the buffer layer 102 is cut along the separating groove 112. Thus, the area to be occupied by the optical element on the electronic circuit board is reduced.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-30209

(43)公開日 平成7年(1995)1月31日

(51)Int.Cl.⁶ 認別記号 庁内整理番号 F I 技術表示箇所
H 01 S 3/18
H 01 L 21/301
33/00 N 7376-4M H 01 L 21/78 V
Q

審査請求 未請求 請求項の数 2 OL (全 7 頁) 最終頁に続く

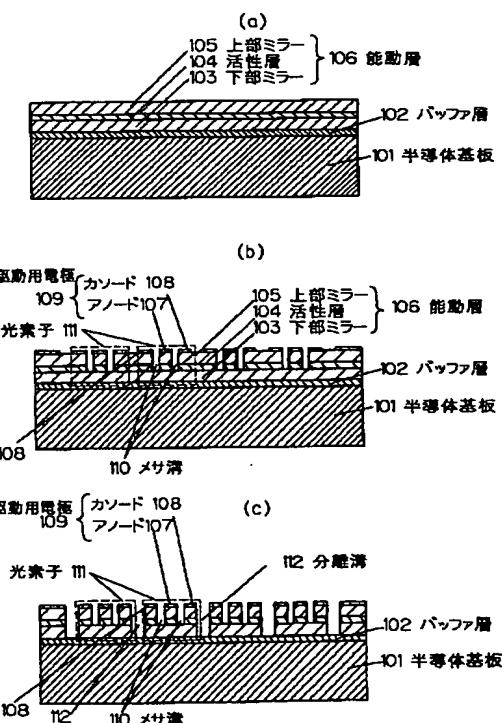
(21)出願番号	特願平5-174073	(71)出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日	平成5年(1993)7月14日	(72)発明者	松田 賢一 大阪府門真市大字門真1006番地 松下電器 産業株式会社内

(54)【発明の名称】光素子実装体の製造方法

(57)【要約】

【目的】従来困難であった30μm角程度の小さな光素子チップを電子回路基板上にフリップチップボンディングする製造方法を提供する。

【構成】半導体基板101上にバッファ層102と能動層106を結晶成長し、複数の光素子111を形成する。能動層106をバッファ層102に達するまでエッチングして分離溝112を形成し、能動層106の表面を保護膜113で被覆して半導体基板101を除去する。バッファ層102の裏面を伸展性フィルム114に剥離可能な接着剤で接着し、バッファ層102を分離溝112に沿って破断し、伸展性フィルム114を引き延ばして隣接する光素子111間に間隙115を設ける。伸展性フィルム114を支持治具として用い、光素子111の駆動用電極109を電子回路基板117に融着固定する。



【特許請求の範囲】

【請求項1】半導体基板上にバッファ層と能動層を結晶成長する工程と、前記能動層を加工して前記能動層の表面に駆動用電極が露出した複数の光素子を形成する工程と、前記能動層を前記バッファ層に達するまでエッチングして分離溝を形成し、各々が少なくとも1個の前記光素子を含む複数のチップに区分する工程と、前記能動層の表面を保護膜で被覆して前記半導体基板を除去する工程と、前記バッファ層の裏面を伸展性フィルムに剥離可能な接着剤で接着する工程と、前記バッファ層を前記分離溝に沿って破断し、前記チップを個々に切り離す工程と、前記伸展性フィルムを引き延ばして隣接する前記チップ間に隙間を設ける工程と、前記伸展性フィルムを支持治具として用い、前記チップの前記駆動用電極を電子回路基板に融着固定する工程と、前記伸展性フィルムを前記チップから剥離する工程とを有することを特徴とする光素子実装体の製造方法。

【請求項2】半導体基板上にバッファ層と能動層を結晶成長する工程と、前記能動層を加工して前記能動層の表面に駆動用電極が露出した複数の光素子を形成する工程と、前記能動層を前記バッファ層に達するまでエッチングして分離溝を形成し、各々が少なくとも1個の前記光素子を含む複数のチップに区分する工程と、前記能動層の表面を保護膜で被覆して前記半導体基板を除去する工程と、前記能動層の表面を伸展性フィルムに剥離可能な接着剤で接着する工程と、前記バッファ層を前記分離溝に沿って破断し、前記チップを個々に切り離す工程と、前記伸展性フィルムを引き延ばして隣接する前記チップ間に隙間を設ける工程と、前記チップの裏面を光ファイバの先端に接着する工程と、前記光ファイバを支持治具として用い、前記チップの前記駆動用電極を電子回路基板に融着固定する工程とを有することを特徴とする光素子実装体の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、垂直共振器型面発光レーザ等の光素子をシリコンLSIやプリント配線基板などの電子回路基板に実装する方法に関するものである。

【0002】

【従来の技術】現在のコンピュータ・デジタル機器技術では、接続配線における電気信号の伝搬遅延が大きな問題となっている。この問題を解決する手段として、光インターフェクションに大きな期待が集まっている。光インターフェクションはシステム内の各レベル（機器間、ボード間、チップ間等）のデータ伝送を光信号によって行うものである。光インターフェクションを実現するためには、信号処理を行う電子回路と発光・受光を行う光素子を集積する必要がある。この集積化の方法としては化合物半導体基板上に両者をモノリシックに集積するO E I CやシリコンLSIチップ上に化合物半導体を結晶

成長して光素子を作り込むヘテロエピタキシーもあるが、最も簡便なのは光素子を形成した化合物半導体チップを電子回路基板に貼り付けるフリップチップボンディングである。このフリップチップボンディングは、例えば牧内他：“GaInAs pin photodiode/GaAs preamplifier photoreceiver for gigabit-rate communications systems using flip-chip bondingtechniques”、エレクトロニクスレーターズ誌、24巻、16号、995～996頁、（1988年）に示されている。これについて、以下図7を用いて説明する。

【0003】GaAs基板301上に直接形成されたFET302によって電子回路が構成される。図ではFET302は1個しか示されていないが。実際には回路を構成するのに必要な個数が集積される。一方、光素子であるフォトダイオード303はInPチップ304上に作製され、GaAs基板301に裏向けに貼り付けられている。フォトダイオード303のp電極305およびn電極306とGaAs基板上の配線307をAu/Snのバンプ308で融着することで、電気的な接続をすると同時に機械的な固定を行っている。本構成において、フォトダイオード303の直径は17μmであるのに対し、InPチップ304の大きさは200μm角である。ここで、チップサイズが200μm角であるのは、InPウエハを機械的に切断しようとこれより小さく分割するのは難しく、またこれより小さなチップではハンドリングも困難になるためである。しかし、本来の光素子のサイズに対してフリップチップのサイズが大きいと、光素子が電子回路基板上で不必要に大きな面積を占有することになる。また、チップサイズが大きいと、同じウエハから取れるチップ数が少くなり、結果的に光素子のコストが高くなる。これは、光素子が面発光レーザである場合にはより重大な問題となる。面発光レーザそのものの大きさはやはり直径10ないし20μm程度であるが、面発光レーザを作製するにはMBEによる長時間の結晶成長が必要とされ、チップサイズを小さくすることはコスト低減のために非常に重要である。

【0004】

【発明が解決しようとする課題】上記従来のフリップチップボンディングでは、光素子のサイズに対してフリップチップのサイズが不必要に大きく、電子回路基板上の占有面積および光素子のコストという観点から問題がある。しかし、機械的な切断およびハンドリングを考えると、チップサイズを200μm角以下に小さくすることは容易ではない。

【0005】本発明は、光素子のサイズに見合ったチップサイズでフリップチップボンディングを行うための方法、すなわち基板をチップに分割する方法とチップのハンドリング方法を提供しようとするものである。

【0006】

【課題を解決するための手段】本発明では上記課題を解決するために、半導体基板上にバッファ層と能動層を結晶成長する工程と、前記能動層を加工して前記能動層の表面に駆動用電極が露出した複数の光素子を形成する工程と、前記能動層を前記バッファ層に達するまでエッチングして分離溝を形成し、各々が少なくとも1個の前記光素子を含む複数のチップに区分する工程と、前記能動層の表面を保護膜で被覆して前記半導体基板を除去する工程と、前記バッファ層の裏面を伸展性フィルムに剥離可能な接着剤で接着する工程と、前記バッファ層を前記分離溝に沿って破断し、前記チップを個々に切り離す工程と、前記伸展性フィルムを引き延ばして隣接する前記チップ間に隙間を設ける工程と、前記伸展性フィルムを支持治具として用い、前記チップの前記駆動用電極を電子回路基板に融着固定する工程と、前記伸展性フィルムを前記チップから剥離する工程とで光素子実装体を製造しようとするものである。あるいは、半導体基板を除去する工程の後、バッファ層の裏面ではなく能動層の表面を伸展性フィルムに剥離可能な接着剤で接着する工程と、前記バッファ層を前記分離溝に沿って破断し、前記チップを個々に切り離す工程と、前記伸展性フィルムを引き延ばして隣接する前記チップ間に隙間を設ける工程と、前記チップの裏面を光ファイバの先端に接着する工程と、前記光ファイバを支持治具として用い、前記チップの前記駆動用電極を電子回路基板に融着固定する工程とを用いて光素子実装体を製造してもよい。

【0007】

【作用】光素子が形成されたチップを小さくするためには、チップの厚さを薄くする必要がある。すなわち、チップサイズが $30\text{ }\mu\text{m}$ 角程度であるとすれば、チップの厚さは $10\text{ }\mu\text{m}$ 以下とする必要がある。そこで、本発明では半導体基板上に結晶成長した能動層に光素子を形成した後、半導体基板をエッチング等で除去する。面発光レーザを考えると、この能動層の厚さは $5\sim10\text{ }\mu\text{m}$ である。この際、能動層に分離溝を形成しておけば、半導体基板を除去することで自動的にチップに分割される。ここで、分離溝はエッチングによって作製されるので、 $30\text{ }\mu\text{m}$ ピッチで幅数 μm の溝を形成することは容易である。ただ、半導体基板の上に直接能動層を結晶成長すると、半導体基板を除去した時点でチップはバラバラになり、その後ハンドリングすることが不可能になる。そこで、本発明では能動層と半導体基板の間に厚さ数 μm のバッファ層を結晶成長し、このバッファ層には分離溝を入れない。また、半導体基板を除去する際にこのバッファ層は残すようにする。この結果、半導体基板除去後のチップはバッファ層の部分でつながった形となる。

【0008】本発明の第1の方法では、この後バッファ層の裏面を伸展性フィルムに剥離可能な接着剤で接着する。伸展性フィルムを介してバッファ層の裏面に軽く圧力をかけると、バッファ層は分離溝に沿って破断され、

チップが個々に切り離される。この時、チップの裏面は伸展性フィルムに接着されているので、バラバラになることはない。ここで、伸展性フィルムを引き延ばすと、隣接するチップ間に隙間を設けることができる。この伸展性フィルムを支持治具として用い、チップの1個を電子回路基板上の配線パターンに位置合せし、駆動用電極を電子回路基板に融着固定する。融着固定は1個ずつ行うので、伸展性フィルムをこのチップから剥離しても残りのチップはそのままである。伸展性フィルムには多数のチップが接着されているので、順次位置合せをして融着固定を繰り返せば、チップ全数を電子回路基板の任意の位置に固定することができる。

【0009】本発明の第2の方法では、半導体基板を除去する工程の後、バッファ層の裏面ではなく能動層の表面を伸展性フィルムに剥離可能な接着剤で接着する。次にバッファ層を分離溝に沿って破断してチップを個々に切り離し、伸展性フィルムを引き延ばして隣接するチップ間に隙間を設ける工程は第1の方法と同じである。この後、1個ずつ分離されたチップの裏面に光ファイバの先端を接着し、伸展性フィルムから剥離する。さらに、光ファイバを支持治具として用い、チップ表面の駆動用電極を電子回路基板に融着固定する。第1の方法では伸展性フィルムに接着された状態から直接チップ表面の駆動用電極を電子回路基板に融着固定するのでチップ裏面を接着するが、第2の方法では先にチップ裏面に光ファイバを接着するのでチップ表面を伸展性フィルムに接着することになる。

【0010】

【実施例】図1～3の(a)～(h)は本発明の一実施例の光素子実装体の製造方法を示す断面図である。まず、同図(a)に示すようにGaAsよりなる半導体基板1011上に第1導電型のAlGaAsよりなるバッファ層102、第1導電型のAlAs/GaAs交互積層多層膜よりなる下部ミラー103、InGaAs/GaAs/AlGaAsよりなる活性層104、第2導電型のAlAs/GaAs交互積層多層膜よりなる上部ミラー105を結晶成長する。下部ミラー103、活性層104および上部ミラー105は全体として光素子（この場合は垂直共振器型面発光レーザ）を構成する能動層106である。次に、図1(b)に示すように上部ミラー105の表面にアノード107およびカソード108の駆動用電極109を蒸着するとともに、上部ミラー105および活性層104をエッチングしてメサ溝110を形成する。

【0011】ここで、アノード107は上面から見ると円形ないし矩形であり、カソード108はアノード107を取り囲むように形成される。これら駆動用電極109とその下の能動層106が光素子111となる。光素子の面積は、例えばアノード107が $10\text{ }\mu\text{m}\phi$ 、カソード108の外周が $30\text{ }\mu\text{m}$ 角である。本発明の要点ではないが、光素子111の面発光レーザとしての動作に

ついて簡単に説明する。アノード107直下の活性層104が電流注入によって発光する領域であり、カソード108直下の能動層106は電流経路として機能する。アノード107直下の活性層104中にあるpn接合を順方向バイアスするので、カソード108直下のpn接合は逆方向バイアスされることになる。これでは電流経路として機能しないので、カソード107直下のpn接合を電気的に破壊するか、以後の工程において光素子側面に金属を蒸着する等の手段によって電流が流れるようにする。

【0012】図1,2の(c)～(e)は、光素子111をチップに分割するための工程である。まず、図1(c)に示すように能動層106をバッファ層102に達するまでエッチングして分離溝112を形成する。ここで、分離溝によって区分されるチップは、各々が少なくとも1個の光素子111を含む。各チップが複数の光素子111を含んでもよいが、図では1個の光素子が1個のチップになる場合を示しているので、以下の説明では光素子と光素子を含むチップを特に区別せず、光素子と呼ぶことにする。図2(d)では、能動層106の表面を保護膜113で被覆し、半導体基板101を除去する。この基板除去は、選択エッチングによっても行えるし、機械研磨と選択エッチングを併用してもよい。図2(e)では、バッファ層102の裏面を伸展性フィルム114に剥離可能な接着剤で接着し、伸展性フィルム114を介してバッファ層102の裏面に軽く圧力をかけてバッファ層102を分離溝112に沿って破断する。これによって、光素子111は個々のチップに切り離される。

【0013】図2(f)では、伸展性フィルム114を引き延ばして、隣接する光素子111間に隙間115を設ける。さらに、図3(g)では、伸展性フィルム114を支持治具として用い、光素子111を電子回路基板117の配線118と位置合せする。この状態で加圧治具116によって光素子111を電子回路基板117に圧着すると同時に昇温し、駆動用電極109と配線118を融着固定する。最後に伸展性フィルム114を光素子111から剥離すると、図3(h)に示すような光素子実装体が完成する。ここで、電子回路基板117はシリコンLSIやプリント配線基板である。特に前者の場合、電子回路基板上には多くの電子素子が集積されており、これら電子素子近傍に配線218を形成することで電子回路中の任意の位置に光素子を固定・接続することができる。

【0014】図4～6(a)～(h)は本発明の第2の実施例の光素子実装体の製造方法を示す断面図である。本製造方法の前半(同図(a)～(d))は、上記第1の実施例と全く同様なので、説明を省略する。本製造方法の特徴は、図5(e)に示されるようにバッファ層202の裏面ではなく能動層206の表面を伸展性フィルムに接着する点である。バッファ層202の裏面に軽く圧力をかけ

てバッファ層202を分離溝212に沿って破断し、図5(f)に示すように伸展性フィルム214を引き延ばして、隣接する光素子211間に隙間215を設ける。さらに、図6(g)では、光素子211の裏面を光ファイバ216の先端に接着する。この接着は当然のことながら光素子211と光ファイバ216の位置合せをした上で行われる。最後に、光ファイバ211を支持治具として光素子211を伸展性フィルム214から剥離し、光素子211の駆動用電極209を電子回路基板217の配線218に融着固定すると図6(h)に示す光素子実装体が完成する。本実施例によれば、電子回路中の任意の位置に光素子を固定・接続することができるばかりでなく、光素子と光ファイバの光学結合も同時に行うことができる。

【0015】なお、以上の実施例の説明においては、光素子がGaAs基板上の垂直共振器型面発光レーザであるとしたが、半導体基板はInP等他の半導体材料よりもなる基板であってもよく、光素子が面発光レーザ以外の半導体レーザ、半導体レーザ以外の発光素子、あるいは受光素子であってもよい。

【0016】

【発明の効果】本発明の光素子実装体の製造方法によれば、電子回路基板上に光素子をフリップチップボンディングする際に、フリップチップの大きさを従来より小さくすることが可能であり、電子回路基板上の光素子の占有面積を小さくできる。また、光素子については1枚のウエハから切り出されるチップの数が多くなるので、チップの製造コスト低減にも効果がある。さらに、電子回路中の任意の位置に光素子を固定・接続することができ、光素子と光ファイバの光学結合をこれと同時にすることも可能である。

【図面の簡単な説明】

【図1】本発明の一実施例の光素子実装体の製造方法を示す断面図

【図2】本発明の一実施例の光素子実装体の製造方法を示す断面図

【図3】本発明の一実施例の光素子実装体の製造方法を示す断面図

【図4】本発明の第2の実施例の光素子実装体の製造方法を示す断面図

【図5】本発明の第2の実施例の光素子実装体の製造方法を示す断面図

【図6】本発明の第2の実施例の光素子実装体の製造方法を示す断面図

【図7】従来のフリップチップボンディングによる光素子実装体の断面図

【符号の説明】

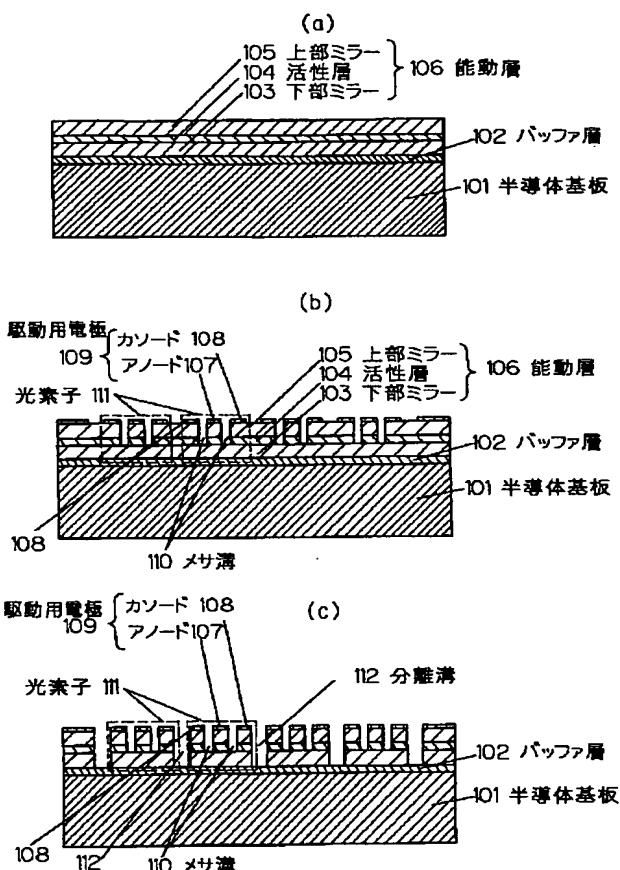
101 半導体基板

102 バッファ層

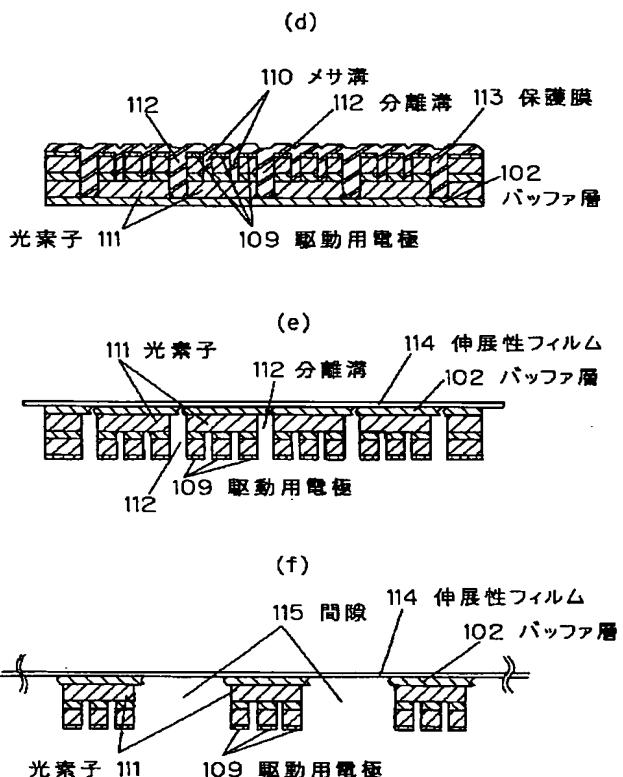
106 能動層

1 0 9	駆動用電極	1 1 4	伸展性フィルム
1 1 1	光素子	1 1 5	間隙
1 1 2	分離溝	1 1 7	電子回路基板
1 1 3	保護膜	2 1 6	光ファイバ

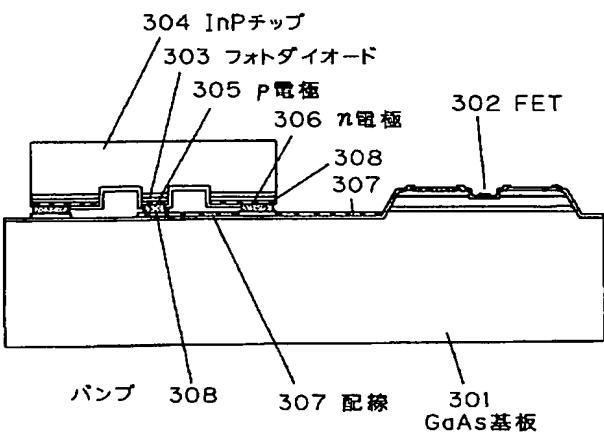
〔图 1〕



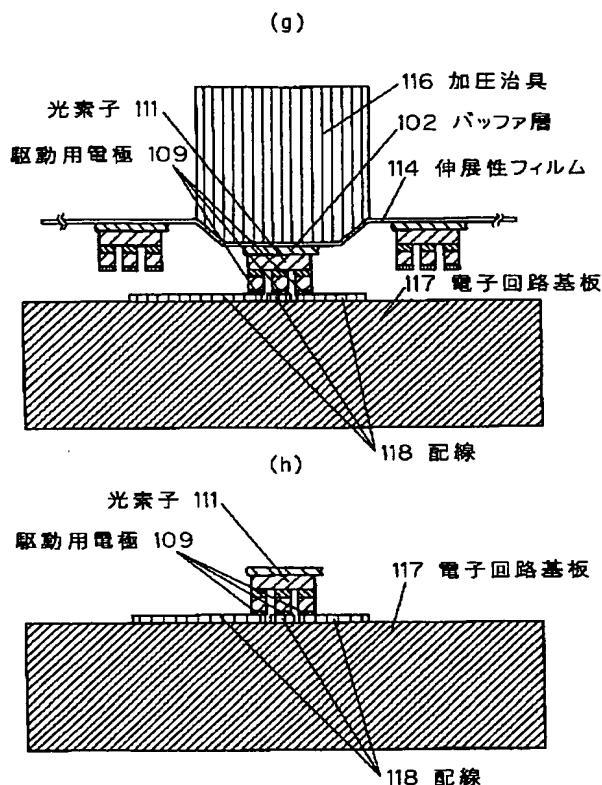
【図2】



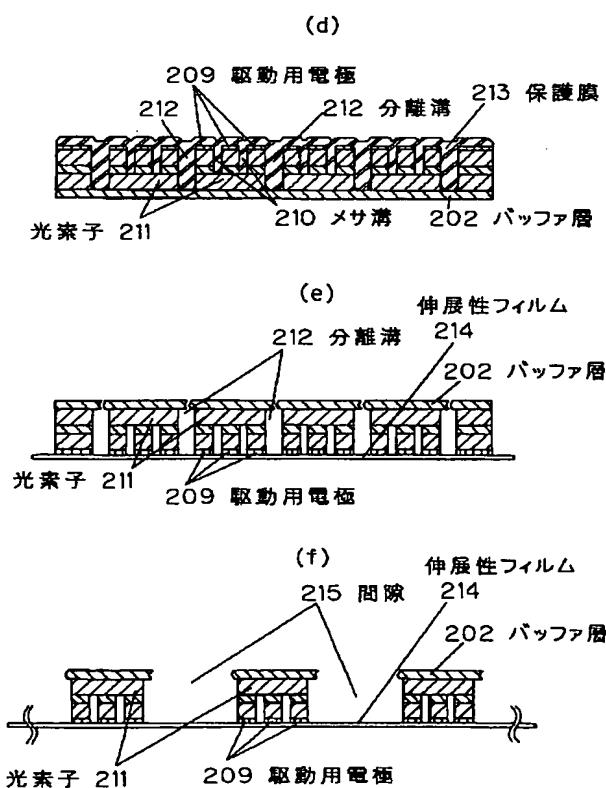
[図 7]



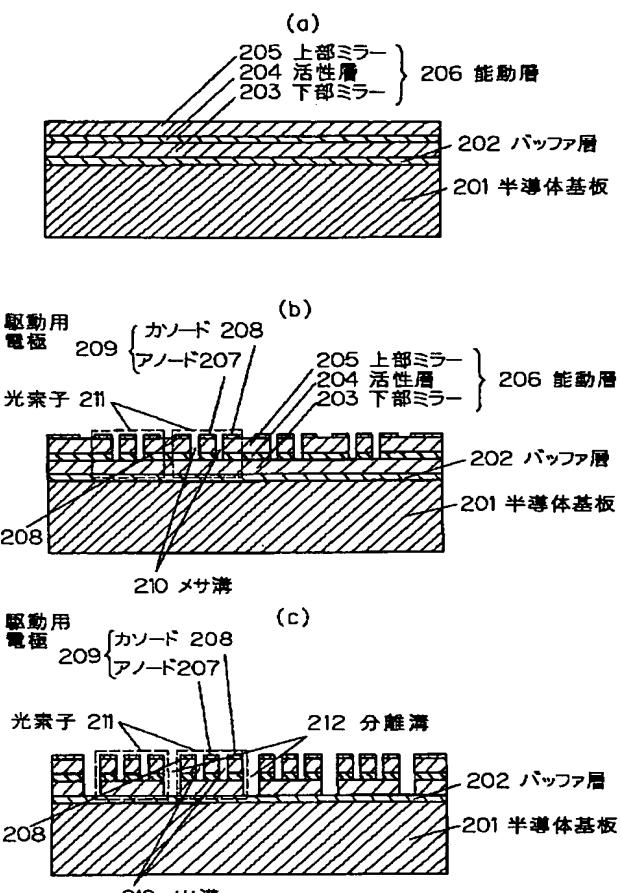
【図3】



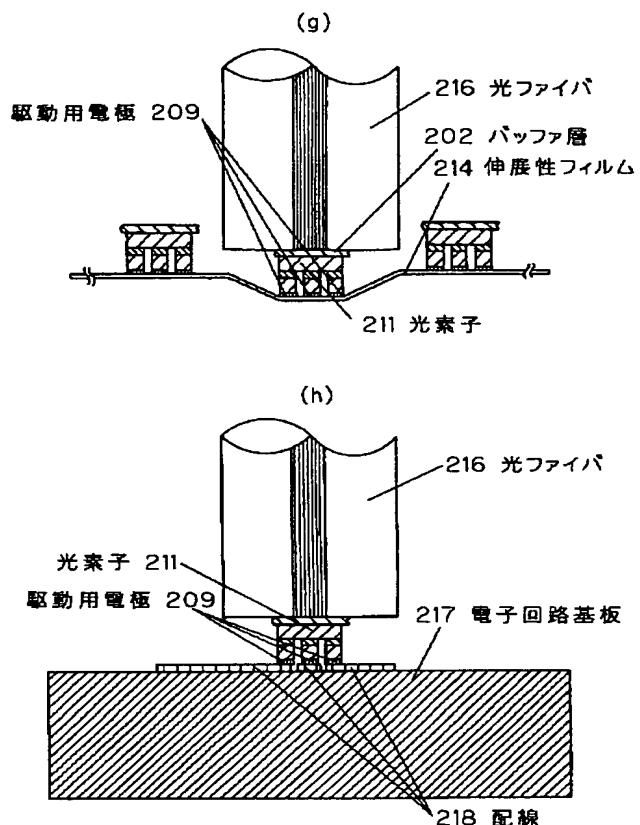
【図5】



【図4】



【図6】



フロントページの続き

(51) Int. Cl.⁶

H 01 L 33/00

識別記号

庁内整理番号

M 7376-4M

F I

H 01 L 21/78

技術表示箇所

W

P

S